

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

009083664

WPI Acc No: 1992-211081/199226

XRAM Acc No: C92-095392

XRPX Acc No: N92-160077

**Polycrystalline silicon@ thin film mfr. for transistor - performs heat
processing of amorphous silicon@ film and forms completely crystallised
polycrystalline silicon@ film NoAbstract**

Patent Assignee: FUJITSU LTD (FUJIT)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4091425	A	19920324	JP 90205653	A	19900802	199226 B

Priority Applications (No Type Date): JP 90205653 A 19900802

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4091425	A	5	H01L-021/205	

Title Terms: POLYCRYSTALLINE; SILICON; THIN; FILM; MANUFACTURE;
TRANSISTOR; PERFORMANCE; HEAT; PROCESS; AMORPHOUS; SILICON; FILM;
FORM; COMPLETE; CRYSTAL; POLYCRYSTALLINE; SILICON; FILM; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/205

International Patent Class (Additional): H01L-029/78; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03726325 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 04-091425 [JP 4091425 A]

PUBLISHED: March 24, 1992 (19920324)

INVENTOR(s): SASAKI TAKAE

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-205653 [JP 90205653]

FILED: August 02, 1990 (19900802)

INTL CLASS: [5] H01L-021/205; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1232, Vol. 16, No. 318, Pg. 26, July
13, 1992 (19920713)

ABSTRACT

PURPOSE: To form a polycrystalline silicon film whose particle size is large and whose surface flatness is good by a method wherein ion seeds of an amount which is sufficient enough to reach the bottom part of an amorphous silicon film formed on an insulating film by a low-temperature chemical vapor growth method are implanted and, after that, the polycrystalline silicon film which is crystallized completely by a heat treatment is formed.

CONSTITUTION: When a polycrystalline silicon thin film is formed, the following are included: a process to form an amorphous silicon film 3, by a low- temperature chemical vapor growth method, on an insulating film 2 with which a semiconductor substrate 1 is covered or an amorphous silicon film 3 containing crystal particles 4 partially; in succession, a process to implant ion seeds 5 of an amount which is sufficient enough to reach the bottom part of the amorphous silicon film 3; and after that, a process to form a polycrystalline silicon film 7 which is crystallized completely by a heat treatment. For example, germanium is used as ion seeds 5 in said ion implantation process. A growth temperature in said low-temperature chemical vapor growth method is set at 500 to 550 deg.C when silane is used as a raw-material gas and at 400 to 550 deg.C when disilane is used.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-91425

⑬ Int. Cl.⁵

H 01 L 21/205
29/784

識別記号

庁内整理番号

7739-4M

⑭ 公開 平成4年(1992)3月24日

9056-4M H 01 L 29/78 3 1 1 F

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-205653

⑰ 出 願 平2(1990)8月2日

⑱ 発 明 者 佐々木 孝江 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井桁 貞一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) 多結晶シリコン薄膜の形成方法において、

半導体基板(1)に被覆された絶縁膜(2)上に低温化学気相成長法により、アモルファスシリコン膜(3)、若しくは、一部結晶粒を含んだアモルファスシリコン膜(3)を形成する工程と、

続いて、該アモルファスシリコン膜(3)の底部にまで十分に到達する量のイオン種(5)を注入する工程と、

しかる後、該アモルファスシリコン膜(3)を熱処理し、完全に結晶化した多結晶シリコン膜(7)を形成する工程とを含むことを特徴とする半導体装置の製造方法。

2) 前記イオン注入工程において、ゲルマニウムをイオン種(5)として使用することを特徴とする請

求項1記載の半導体装置の製造方法。

3) 前記低温化学気相成長法において、原料ガスとしてシランを用いた場合には、500～550℃の成長温度で、また、ジシランを用いた場合には、400～550℃でアモルファスシリコンを形成することを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

本発明は、薄膜トランジスタ用の多結晶シリコン薄膜の製造方法に関し、

より大粒径で、かつ、表面平坦性の良好な多結晶シリコン膜を形成することを目的とし、

多結晶シリコン薄膜の形成方法において、

①半導体基板に被覆された絶縁膜上に低温化学気相成長法により、アモルファスシリコン膜、若しくは、一部結晶粒を含んだアモルファスシリコン膜を形成する工程と、続いて、該アモルファスシリコン膜の底部にまで十分に到達する量のイオ

ン種を注入する工程と、しかる後、該アモルファスシリコン膜を熱処理し、完全に結晶化した多結晶シリコン膜を形成する工程とを含むように、

②前記イオン注入工程において、ゲルマニウムをイオン種として使用するように、

③前記低温化学気相成長法において、原料ガスとしてシランを用いた場合には、500～550℃の成長温度で、また、ジシランを用いた場合には、400～550℃でアモルファスシリコン膜を形成するように構成する。

(産業上の利用分野)

本発明は、薄膜トランジスタ用の多結晶シリコン薄膜の製造方法に関する。

多結晶シリコン薄膜抵抗は、単結晶シリコン基板に比べて寄生容量が少なく、更に、基板バイアス効果や α 線に対する耐性が強い等の特徴を有しており、そのような特徴を踏まえた上で、近年の半導体装置の高集積化、微細化にともない、高精度の多結晶シリコン膜抵抗素子を実現するために、

幾つかの手法により、多結晶シリコン膜の低抵抗化と薄膜化とを図る試みがなされている。

(従来の技術)

第2図、第3図は従来例の説明図である。

図において、10はシリコン(Si)基板、11は二酸化シリコン(SiO_2)膜、12はアモルファスSi膜、13は多結晶シリコン(ポリSi)膜、14は結晶粒界、15はSi基板、16は SiO_2 膜、17はポリSi膜、18は結晶粒界、19はSiイオン、20は一部アモルファス化したポリSi膜、21はSiイオン、22はアモルファスSi、23はポリSi膜、24は結晶粒界である。

ポリSi薄膜トランジスタ(TFT)の問題点は、主にポリSiの結晶粒界でのトラップを介したキャリアの、電界放出などによるTFTのリーク電流をいかに抑えるかであり、それには、結晶粒界によるトラップ密度を下げる、即ち、粒界密度を減らすことが有効であるといわれている。

そこで、より粒径の大きなポリSi膜を形成するために、薄膜のアモルファスSiを成長した後、熱

処理する手法が開発されている。

以下に、その代表的な手法を第2図、第3図により説明する。

第1の手法は、減圧化学気相成長(CVD)法によりアモルファスSi膜を得る方法で、第2図(a)に示すように、Si基板10に被覆した SiO_2 膜11上に、減圧CVD法によりアモルファスSi膜12を堆積させ、第2図(b)に示すように、熱処理により結晶化させてポリSi膜13を得る方法で、従来のポリSi膜の数十倍の粒径に成長する。

第2の手法は、Siイオン二段注入法によりアモルファスSi膜を得る方法で、第3図(a)に示すように、Si基板10に被覆した SiO_2 膜11上に、減圧CVD法により、従来のポリSi膜18を形成した後、第3図(b)に示すように、Siイオンを表面に注入して、先ず、一部アモルファス化したポリSi膜20にする。

次に、第3図(c)に示すように、更に、Siイオンを一部アモルファス化したポリSi膜20の底にまで到達するように深く注入してポリSi膜20を完

全にアモルファス化し、続いて、第3図(d)に示すように、熱処理によって再び結晶化させる。これにより、第1の手法より更に粒径の大きいポリSi膜23を得ることが出来る。

(発明が解決しようとする課題)

ところが、上記2つの手法には一長一短がある。

第1の手法では、表面の平坦性は良好であるが、その反面、成長する際に結晶核が下層の絶縁膜との界面で多く発生するために、第2の手法に比較して、最終的に得られる結晶粒径が小さくなるとされている。

一方、第2の手法では、下層絶縁膜界面からの結晶核発生数が少ないために、最終的に得られる粒径はより大きくなるが、反対に、スタート材料に表面凹凸を有するポリSiを用いているため、イオン注入後にも表面の凹凸が残ってしまう。この第2の手法で得られた膜の粒径が大きくなる理由としては、イオン注入により絶縁膜との界面が壊されるために、絶縁膜表面の汚染によって、結

晶核発生の促進効果が抑制されるためではないかと考えられている。

〔課題を解決するための手段〕

第1図は本発明の原理説明図兼一実施例の工程順模式断面図である。

図において、1は半導体基板(Si基板)、2は絶縁膜(SiO_2 膜)、3はアモルファスSi膜、4は結晶粒、5はイオン種(Ge)、6は絶縁膜との下層界面、7はポリSi膜、8は結晶粒界、9はドーパ用イオン種(As, P)である。

上記の問題点の解決には、前記二つの手法を上手に組み合わせることにより、更にイオン種に適切な物質を選ぶことによって、より大口径で、しかも、表面の平坦性の良好なポリSi膜を得ることが期待できる。

即ち、低温減圧CVD法によりアモルファスSiを堆積して、界面近傍を崩す程度にイオン注入を行った後で熱処理を施して結晶化させると良い。

また、イオン種としては、Siだけでなく、ゲル

マニウム(Ge)、砒素(As)、磷(P)等が挙げられる。

特に、Geは、Siに比べて質量数が大きいために、ポリSi膜をアモルファス化するために必要なイオンのドーパ量が少なく済み、また、イオンの射影乗程の標準偏差(ΔR_p)がSiよりも小さいために、膜内に注入原子が広く分布することなく、界面近傍に注入することも可能である。

また、結晶成長後のことを考慮しても、両者は結晶構造が同じである上に、格子定数が4%程度しか違わないために、歪みが入る懸念も殆どなく、Si-Geの混晶を形成すると言われている。

As, Pに関しては、膜内で十分な分布を持たせ、界面を壊す程度の条件でイオンを注入して、活性化アニールと結晶成長アニールとを同時に行えば、更に、低抵抗化が期待できる。

以上、本発明の目的は、ポリSi膜の形成方法において、半導体基板1に被覆された絶縁膜2上に低温化学気相成長法により、アモルファスSi膜3、若しくは、一部結晶粒を含んだアモルファスSi膜を形成する工程と、続いて、該アモルファスSi膜

7

3の底部にまで十分に到達する量のイオン種5を注入する工程と、しかる後、該アモルファスSi膜3を熱処理し、完全に結晶化したポリSi膜7を形成する工程とを含むことにより、

また、前記イオン注入工程において、Geをイオン種として使用することにより、

更に、前記低温化学気相成長法において、原料ガスとして SiH_4 を用いた場合には、500～550℃の成長温度で、また、 Si_2H_6 を用いた場合には、400～550℃でアモルファスSiを形成することにより達成される。

〔作用〕

上記のように、低温減圧CVD法によりアモルファスSiを堆積して、界面近傍を崩す程度にイオン注入を行った後で熱処理を施して結晶化させることにより、表面が平坦で、かつ、粒径の大きいポリSi薄膜を得ることが可能となる。

従って、結晶粒界でのトラップを介したキャリアの電界放出によるリーク電流を抑えることが出

8

来、また、滑らかな表面が得られるために、表面散乱の影響が少なくなり、キャリア移動度は結晶粒が成長する効果と合わせてより高くなった。

〔実施例〕

第1図は本発明の一実施例の工程順模式断面図である。

第1図(a)に示すように、Si基板1上に熱酸化法により、1,050℃で SiO_2 膜2を1,000Åの厚さに被覆した後、400℃から550℃の低温化学気相成長(CVD)法により、真空度0.1～0.2Torr、原料ガスとしてジシラン(Si_2H_6)ガスを用いた場合、 Si_2H_6 ガス流量30sccm、反応温度400～550℃で、モノシラン(SiH_4)ガスを用いた場合、 SiH_4 ガス流量50sccm、反応温度500～550℃により、アモルファスSi膜3を2,000Åの厚さに形成する。

次に、第1図(b)に示すように、イオン注入法により、イオン種5として、Geイオンを加速電圧300KeV、ドーパ量 $5 \times 10^{14} \sim 1 \times 10^{15}$ の注入条件でアモルファスSi膜3中に十分に下層絶縁膜との

9

10

界面6まで到達するようにドーブする。

このように、Siより質量が大きく、かつ、原子半径の近似したGeのようなイオン種をアモルファスSi中に打ち込むと、原子半径が近似のために、膜内に原子が広く分布することなく、下層絶縁膜との界面6まで到達しやすく、結晶成長後も、結晶構造が同じなために、格子定数が殆ど変わらず、歪みが入らず、Si-Geの混晶を形成する。また、質量が大きいため、一部結晶粒を含んだアモルファスSiを完全にアモルファス化するために必要なイオンのドーブ量が少なく済む利点がある。

この注入条件で、絶縁膜との下層界面6の近傍に例え結晶粒4があったとしても、第1図(c)に示すように、それら結晶粒4をアモルファス化させ、しかも絶縁膜との下層界面6を壊すことが可能である。

その後、第1図(d)に示すように、結晶化アニールとして、600℃で2時間、或いは1,100℃で30秒間の熱処理を行い、完全に結晶化したポリSi膜7を得ることができる。

場合により、より低抵抗化が必要な場合には、最後に、第1図(e)に示すように、ドーブ用イオン種9として砒素(As)または燐(P)を用い、イオン注入法により、Pの場合、加速電圧60KeV、ドーブ量 $1 \times 10^{13} \sim 10^{14}/\text{cm}^2$ の注入条件で、また、Asの場合、加速電圧80KeV、ドーブ量 $1 \times 10^{13} \sim 10^{14}/\text{cm}^2$ の注入条件でドーピングし、900～1,000℃、30分間の熱処理を行って活性化を行い、より低抵抗化させる。

上記実施例においては、イオン種5として、Geを用いたが、イオン種5にAs、或いはPを用いても良い。Asを用いた場合には加速電圧300KeV、ドーブ量 $1 \times 10^{13}/\text{cm}^2$ の注入条件でドーブし、Pを用いた場合には加速電圧150KeV、ドーブ量 $1 \times 10^{13}/\text{cm}^2$ の注入条件でドーブする。

続いて、900～1,000度の高温度の熱処理を行い、アモルファスSi膜の結晶化と得られたポリSi膜の注入イオンの活性化を同時に行う。この場合、一度のアニールで低抵抗化させることが可能となり、工程短縮のメリットがある。

1 1

1 2

〔発明の効果〕

以上説明したように、本発明によれば、表面が平坦で、かつ、粒径の大きいポリSi膜が得られるため、TFTの電気的特性、特に、ポリSi膜のリーク特性及びキャリア移動度の向上に寄与するところが大きい。

4. 図面の簡単な説明

第1図は本発明の一実施例の工程順模式断面図、

第2図、第3図は従来例の説明図

である。

図において、

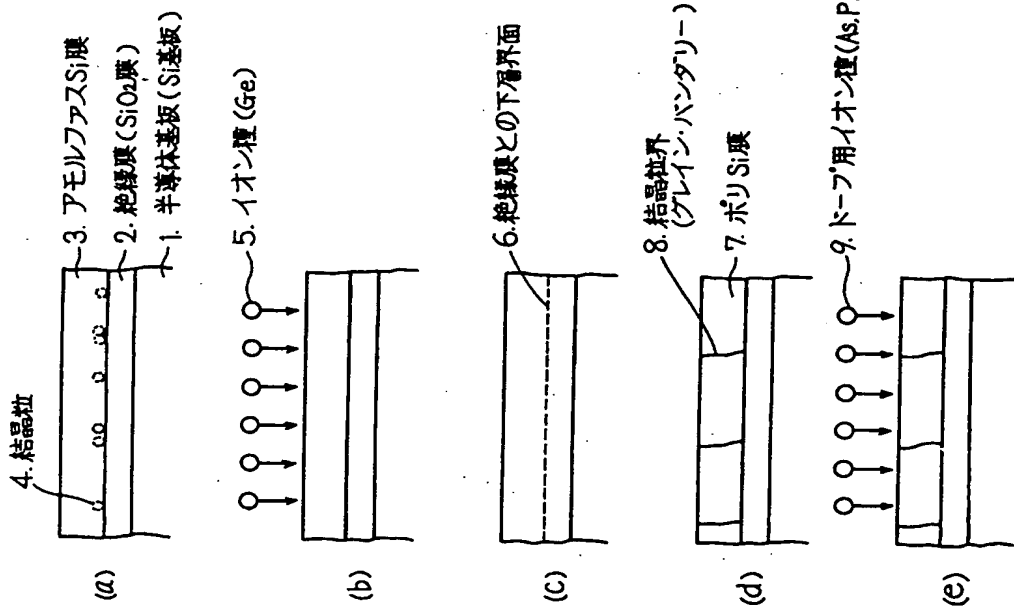
- 1 は半導体基板、 2 は絶縁膜、
- 3 はアモルファスSi膜、
- 4 は結晶粒、 5 はイオン種、
- 6 は絶縁膜との下層界面、
- 7 はポリSi膜、 8 は結晶粒界、
- 9 はドーブ用イオン種

である。

代理人 弁理士 井桁貞一

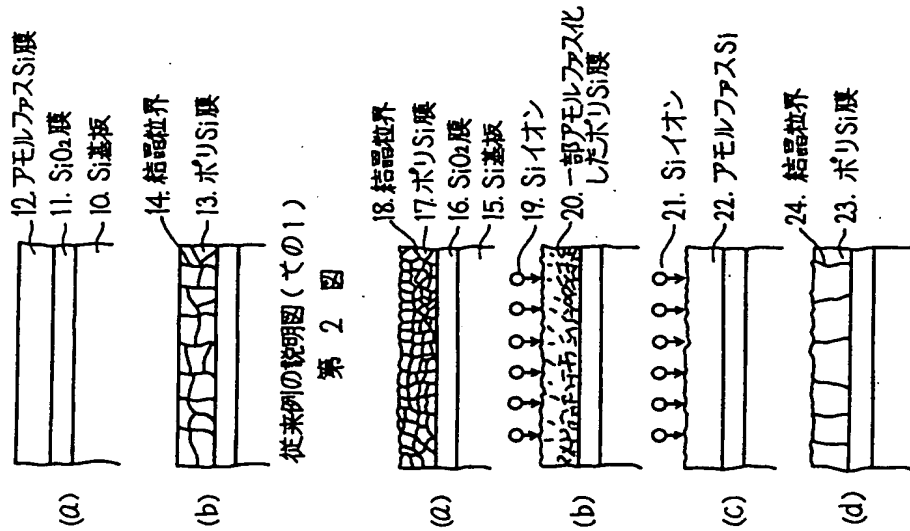


1 3



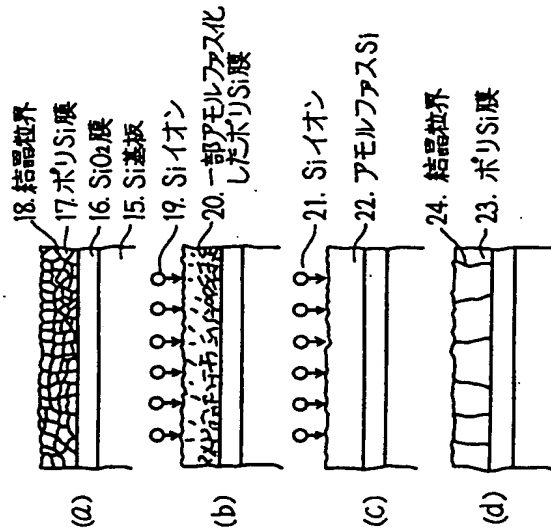
本発明の一実施例の工程順模式断面図

第 1 図



従来例の説明図 (その1)

第 2 図



従来例の説明図 (その2)

第 3 図